

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0034

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: July 30, 2003

Art Unit: Unassigned

Title: COMPOSITE MEMORY DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0081277 filed December 18, 2002

Date: July 30, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Respectfully submitted,

By
For:

Johnny A. Kumar

31,298

Attorney for Applicant
Registration No. 34,649
Customer No. 26633

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0081277
Application Number

출원년월일 : 2002년 12월 18일
Date of Application DEC 18, 2002

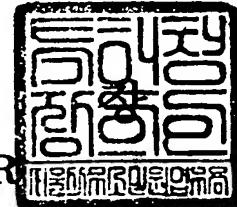
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 21일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002. 12. 18
【국제특허분류】	H01L
【발명의 명칭】	복합형 메모리 장치
【발명의 영문명칭】	Composite Memory Device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	8	면	8,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	15	항	589,000	원
【합계】	626,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명에 의한 복합 메모리 장치는 비동기식의 제1 메모리 장치, 페이지 모드에서 동작하는 동기식의 제2 메모리 장치, 버스트 모드에서 동작하는 동기식의 제3 메모리 장치, 상기 제1 내지 제3 메모리 장치 사이에서 데이터 전달을 담당하는 메모리 버스, 상기 제1 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제1 메모리 컨트롤러, 상기 제2 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제2 메모리 컨트롤러, 및 상기 제3 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제3 메모리 컨트롤러를 포함하고, 상기 제1 내지 제3 메모리 장치는 외부의 메모리 컨트롤러에 의해 제어되어 외부의 시스템 버스와의 사이에서 데이터를 교환하며, 상기 제1 내지 제3 메모리 장치 중 어느 하나가 상기 외부의 시스템 버스와 데이터를 교환할 때 상기 제1 내지 제3 메모리 장치 중 나머지 두 장치는 상기 메모리 버스를 경유하여 데이터를 교환할 수 있는 것을 특징으로 한다.

【대표도】

도 2

【명세서】

【발명의 명칭】

복합형 메모리 장치{Composite Memory Device}

【도면의 간단한 설명】

도1은 종래 기술에 의한 메모리 장치를 사용한 시스템 블록도.

도2는 본 발명의 일실시예에 의한 복합형 메모리 장치를 사용하는 시스템의 구성을 나타내는 블록도.

도3은 본 발명의 일실시예에 의한 메모리 장치의 운용방법을 나타내는 블록도.

도4는 본 발명의 일실시예에 의한 메모리 장치를 사용하는 시스템의 블록도.

도5는 본 발명의 일실시예에 의한 메모리 장치 내부의 구성을 나타내는 블록도.

도6은 본 발명의 일실시예에 의한 SOC 복합형 메모리 장치를 나타내는 블록도.

도7은 본 발명의 일실시예에 의한 SOC 복합형 메모리 장치를 나타내는 블록도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 메모리 장치에 관한 것으로서 특히 고속으로 동작하는 비동기식 메모리 장치, 페이지 모드에서 동작하는 비동기식 메모리 장치, 및 버스트 모드에서 동작하는 동기식 메모리 장치를 하나의 메모리 장치 내부에 모두 구비한 복합형 메모리 장치에 관한 것이다.

<9> 고성능의 시스템을 구성하기 위해서는 속도, 용량 등과 같이 각기 다른 점에서 우수한 특성을 갖는 다양한 메모리 장치를 복합적으로 사용해야 한다. 예를 들어 CPU와 고속의 데이터 교환을 위해서는 캐시 메모리가 필요하며, 프로그램을 저장하는 등의 기능을 위해서는 비휘발성을 갖는 메모리가 필요하다. 또한 대용량의 데이터를 고속으로 처리하기 위해서는 고속의 버스트(Burst) 기능을 갖는 동기식 메모리가 필요하다. 종래의 시스템에서는 이러한 각각의 메모리가 별도의 칩으로 구현되어 있었다.

<10> 도1은 종래의 메모리 장치를 사용하는 시스템의 구성을 나타내는 블록도이다. 고속의 데이터 처리를 위한 메모리 장치로는 비동기식의 SRAM(Static Random Access Memory, 1)이 사용되고, 비휘발성 메모리 장치로는 플래시 메모리 장치(2)가 사용되며, 및 고속의 대용량 데이터 처리를 위해서는 버스트모드로 동작하는 SDRAM(Synchronous Dynamic Random Access Memory, 3)이 사용된다. 이를 각각의 메모리 장치(1, 2, 3)는 시스템 버스(4)를 공유하며 동일한 메모리 컨트롤러(5)에 의해 제어된다.

<11> 이와 같이 별도의 기능을 수행하는 메모리 장치를 복수개 구비한 종래의 시스템에서는 각각의 메모리 장치를 개별적으로 제어해야 하며 메모리 장치 상호간에 데이터를 교환할 필요가 있는 경우에도 시스템 레벨에서 데이터의 전송이 이루어져야 하므로 동작 속도가 느리고 전체적인 시스템의 운용 효율이 저하되는 문제가 있었다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명은 위와 같은 종래 기술의 문제점을 해결하고자 비동기식 메모리 장치, 페이지모드에서 동작하는 동기식 메모리 장치, 및 버스트모드에서 동작하는 동기식 메모리 장치를 모두 하나의 칩 상에 구현한 복합형 메모리 장치를 제공하고 이를 각각의 메모리 장치를 소정의 목적에 이용함으로써 시스템의 효율을 높이는 것을 목적으로 한다.

<13> 또한, 본 발명은 비동기식 메모리 장치, 페이지모드에서 동작하는 동기식 메모리 장치, 버스트모드에서 동작하는 동기식 메모리 장치, 메모리 컨트롤러, 및 중앙처리장치 (CPU)를 모두 포함하는 SoC(System On a Chip) 복합형 메모리 장치를 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<14> 본 발명에 의한 복합 메모리 장치는 비동기식 메모리 장치, 페이지 모드에서 동작하는 동기식 메모리 장치, 버스트 모드에서 동작하는 동기식 메모리 장치, 상기 제1 내지 제3 메모리 장치 사이에서 데이터 전달을 담당하는 메모리 버스, 상기 비동기식 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제1 메모리 컨트롤러, 상기 페이지모드에서 동작하는 동기식 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제2 메모리 컨트롤러, 및 버스트모드에서 동작하는 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제3 메모리 컨트롤러를 포함하고 상기 각각의 메모리 장치는 외부의 메모리 컨트롤러에 의해 제어되어 외부의 시스템 버스와의 사이에서 데이터를 교환하며, 상기 각각의 메모리 장치 중 어느 하나가 상기 외부의 시스템 버스와 데이터를 교환할 때 나머지 두 장치는 상기 메모리 버스를 경유하여 데이터를 교환할 수 있는 것을 특징으로 한다.

<15> 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 상세히 설명한다.

<16> 도2는 본 발명의 일실시예에 의한 복합형 메모리 장치(100)를 구비한 시스템의 구성을 나타내는 블록도이다. 본 실시예의 복합형 메모리 장치(100)는 비동기식 강유전체 메모리 장치(이하, FeRAM)(110), 페이지모드 동기식 FeRAM(120), 및 버스트모드 동기식 FeRAM(130)을 포함한다.

<17> 각 메모리 장치는 제1 메모리 컨트롤러(140), 제2 메모리 컨트롤러(150), 및 제3 메모리 컨트롤러(160)에 의해 제어된다. 복합형 메모리 장치(100)는 메모리 버스(170)를 포함한다. 상기 각각의 FeRAM(110, 120, 130)은 메모리 버스(170)를 경유하여 데이터를 교환할 수 있다. 이러한 데이터 교환은 각각의 메모리 컨트롤러(140, 150, 160)에 의해 제어된다.

<18> 복합형 메모리 장치(100)에 포함된 각각의 FeRAM(110, 1120, 130)은 메모리 장치 외부에 존재하는 시스템 버스(4)와 연결된다. 시스템은 중앙연산장치(6, 이하 CPU) 및 CPU(6)에 의해 제어되어 메모리 장치(100)를 제어하는 메모리 컨트롤러(5)를 포함한다. 복합형 메모리 장치(100)와 시스템 버스(4) 사이의 데이터 교환은 메모리 컨트롤러(5)에 의해 제어된다.

<19> 메모리 버스(170)는 시스템 버스(4)와 독립적으로 동작할 수 있다. 예를 들어 세 개의 FeRAM(110, 120, 130) 중에서 비동기식 FeRAM(110)이 시스템 버스(4)를 점유하고 있는 경우에 페이지모드 동기식 FeRAM(120)과 버스트모드 동기식 FeRAM(130)은 메모리 버스(170)를 경유하여 데이터를 교환할 수 있다. 기타 다양한 조합이 가능하다. 따라서 시스템과의 데이터 교환 및 내부 FeRAM 장치(110, 120, 130) 사이의 데이터 교환을 동시에 수행할 수 있으므로 시스템의 운용 효율을 증가시킬 수 있다.

<20> 도3은 각각의 FeRAM(110, 120, 130)에서 시스템 버스(4)와 메모리 버스(170)를 사용하는 경우 각각의 컨트롤러(140, 150, 160)의 운용방법을 설명하는 도면이다.

<21> 도3a는 본 발명에 의한 복합형 메모리 장치(100)가 시스템 버스(4)만을 사용하는 경우 제1 내지 제3 메모리 컨트롤러(140, 150, 160)의 상태를 나타낸다. 복합형 메모리 장치(100)는 메모리 컨트롤러(5)에 의해 제어되어 시스템 버스(4)를 점유한다.

<22> 메모리 버스(170)를 사용하지 않는 경우에 각각의 메모리 컨트롤러(140, 150, 160)는 비활성화된다.

<23> 도3b는 본 발명에 의한 복합형 메모리 장치(100)가 시스템 버스(4) 및 메모리 버스(170)를 동시에 사용하는 경우 각각의 메모리 컨트롤러(140, 150, 160)의 상태를 나타낸다. 복합형 메모리 장치(100)는 메모리 컨트롤러(5)에 의해 제어되어 시스템 버스(4)를 점유한다.

<24> 예를 들어 비동기식 FeRAM(110)이 시스템 버스를 사용하는 경우라면 제1 메모리 컨트롤러(140)는 비활성화되어 비동기식 FeRAM(110)이 메모리 버스(170)에 접근하지 않도록 한다. 이때 페이지모드 동기식 메모리 컨트롤러(140) 및 버스트모드 동기식 메모리 컨트롤러(160)가 활성화되어 페이지모드 동기식 FeRAM(120)과 버스트모드 동기식 FeRAM(130)은 메모리 버스(170)를 경유하여 데이터를 교환할 수 있다. 기타 다양한 조합의 동작이 가능하다.

<25> 도4는 본 발명에 의한 복합형 메모리 장치(100)의 또 다른 실시예로서 복합형 메모리 장치(100)내에 직렬 인터페이스 컨트롤러(180)를 부가한 것이다. 직렬 인터페이스 컨트롤러(180)는 메모리 버스(170)와 외부의 직렬 시스템 버스(7) 사이에서 직렬 데이터를 교환할 수 있도록 한다. 기타의 구성요소 및 이들의 기능은 도5에 도시된 바와 동일하므로 설명을 생략한다.

<26> 도5는 본 발명에 의한 복합형 메모리 장치(100)에 포함된 각각의 FeRAM(110, 120, 130), 이에 대응하는 제1 내지 제3 메모리 컨트롤러(140, 150, 160), 및 기타 주변 기능블록들 사이의 연결 관계를 도시한 것이다.

<27> 도5a는 비동기식 FeRAM(110), 제1 메모리 컨트롤러(140), 및 기타 주변 기능 블록들 사이의 연결관계를 도시한다.

<28> 비동기식 FeRAM(110)은 단위 셀들이 배치되어 있는 셀 어레이 블록(111), 워드라인 및 플레이트 라인을 구동하는 워드라인/플레이트 라인 구동부(113), 및 비트라인을 데이터버스(40)와 연결하는 칼럼 선택 제어부(112)를 포함한다.

<29> 워드라인/플레이트 라인 구동부(113)는 로우 어드레스 디코더(13)에 의해 제어된다. 로우 어드레스 디코더(13)는 로우 어드레스 패드(11)에서 입력된 어드레스를 저장하는 로우 어드레스 버퍼(12)에서 어드레스를 제공받아 이를 해독함으로써 해당 로우에 해당하는 워드라인/플레이트 라인 구동부를 제어한다.

<30> 칼럼 선택 제어부(112)에서 어떤 비트라인을 데이터버스와 연결할지 여부는 칼럼 어드레스 디코더(23)에 의해 제어된다. 칼럼 어드레스 디코더(23)는 칼럼 어드레스 패드(21)에서 입력된 어드레스를 저장하는 칼럼 어드레스 버퍼(22)에서 어드레스를 제공받아 이를 해독함으로써 해당 칼럼의 칼럼 선택 제어부(112)를 활성화한다.

<31> 또한 칼럼 어드레스 디코더(23)는 센스 앰프 어레이(30)를 제어한다. 센스 앰프 어레이(30)는 데이터버스(40)를 경유하여 셀 어레이 블록(111)에서 전달된 데이터를 데이터 입출력 버퍼(50)를 거쳐 시스템 버스(4)로 출력하거나, 시스템 버스(4)에서 데이터 입출력 버퍼(50)를 거쳐 입력된 데이터를 셀 어레이 블록(111)에 제공한다.

<32> 제1 메모리 컨트롤러(140)는 센스 앰프 어레이(30)와 메모리 버스(170)의 사이에 연결되어 비동기식 FeRAM(110)과 메모리 버스(170) 사이에서 데이터의 입출력을 제어한다.

<33> 도5b 및 도5c에서는 FeRAM(120, 130) 및 메모리 컨트롤러(150, 160)의 종류만 다를 뿐 기타 구성은 전술한 바와 같으므로 설명을 생략한다. 다만 도5c에 도시된 버스트모드 동기식 FeRAM의 경우에는 칼럼 어드레스 제어를 위한 구성이 상이하다. 대용량의 데이터는 연속된 어드레스에 저장되므로 로우 어드레스를 고정시켜놓고 칼럼 어드레스를 연속적으로 변화시키면 데이터를 고속으로 처리할 수 있게 된다. 버스트 카운터(24)는 위에서 설명한 바와 같이 칼럼 어드레스를 변화시키는 역할을 한다. 칼럼 어드레스 디코더(23)는 버스트 카운터(24)로부터 칼럼 어드레스를 입력받아 칼럼 선택 제어부(132)를 제어한다. 기타의 구성 및 기능은 모두 동일하다.

<34> 도6은 본 발명의 또 다른 실시예로서 도2에 기재된 메모리 영역(100), 시스템 버스(4), 메모리 컨트롤러(5), 및 CPU(6)를 모두 하나의 칩 안에 구현한 SoC(System On a Chip) 복합 메모리 장치(200)의構成을 나타내는 블록도이다.

<35> 본 실시예에 의한 복합 메모리 장치(200)는 비동기식 FeRAM(210), 페이지모드 동기식 FeRAM(220), 버스트모드 동기식 FeRAM(230)을 포함한다. 각각의 FeRAM(210, 220, 230)은 제1 메모리 컨트롤러(240), 제2 메모리 컨트롤러(250), 제3 메모리 컨트롤러(260)에 의해 제어되어 메모리 버스(270)를 사용한다. 메모리 버스(270)는 FeRAM(210, 220, 230) 사이에서의 데이터를 교환하는데 사용된다. 또한 본 실시예에 의한 복합 메모리 장치는 시스템 버스(204), 메모리 컨트롤러(205), 및 CPU(206)를 포함한다. CPU(206)는 메모리 컨트롤러(205)로 하여금 각각의 FeRAM(210, 220, 230)을 제어하도록 한다. 각각의 FeRAM(210, 220, 230)은 시스템 버스(204)를 경유하여 외부와 데이터를 교환한다.

<36> 전술한 바와 같이 각각의 FeRAM(210, 220, 230)은 시스템 버스(204) 및 메모리 버스(270)를 동시에 사용할 수 있다. 예를 들어 비동기식 FeRAM(210)이 시스템 버스

(204)를 사용하는 경우에는 페이지모드 동기식 FeRAM(220) 및 버스트모드 동기식 FeRAM(230)이 메모리 버스(270)를 경유하여 데이터를 교환할 수 있다. 이때 제1 메모리 컨트롤러(240)는 비활성화되고 제2 메모리 컨트롤러(250) 및 제3 메모리 컨트롤러(260)는 활성화된다.

<37> 도7은 본 발명의 또 다른 실시예로서 도6에 도시된 복합형 메모리 장치(200)내에 직렬 인터페이스 컨트롤러(280) 및 직렬 시스템 버스(290)를 부가한 것이다. 직렬 인터페이스 컨트롤러(280)는 메모리 버스(270)와 직렬 시스템 버스(290) 사이에서 직렬 데이터를 교환할 수 있도록 한다. 기타의 구성요소 및 이들의 기능은 도6에 도시된 바와 동일하므로 설명을 생략한다.

<38> 전술한 실시예들에서는 FeRAM 기술을 이용하여 각각의 메모리 장치를 구현하였으나 기타의 여러 가지 다른 기술을 적용할 수도 있다. 예를 들어 각 메모리 장치를 플래시 메모리, MRAM(Magnetic RAM), PRAM(Phase Change RAM) 등의 기술을 적용하여 구현할 수 있다. 또는 각각의 메모리 장치를 별도의 기술로 구현할 수도 있다. 예를 들어 비동기식 메모리 장치(110, 210)는 SRAM 기술을 적용하여 구현하고, 페이지모드 동기식 메모리 장치(120, 220)는 FeRAM 기술을 적용하여 구현하며, 버스트모드 동기식 메모리 장치(130, 230)는 SDRAM(Synchronous DRAM) 기술을 적용할 수도 있다. 기타 다양한 조합의 구현이 가능하다.

【발명의 효과】

<39> 본 발명에 의한 메모리 장치를 이용함으로써 고속의 비동기식 메모리 장치, 시스템 설정 정보 등을 기억할 수 있는 비휘발성 메모리 장치, 및 대용량의 데이터



1020020081277

출력 일자: 2003/5/22

처리에 적합한 동기식 메모리 장치를 하나의 칩 안에 구현하고 메모리 장치 내부에서 각 메모리 장치 간에 데이터의 교환이 가능하도록 함으로써 시스템의 운용효율을 높일 수 있다.

【특허청구범위】**【청구항 1】**

비동기식의 제1 메모리 장치;

페이지 모드에서 동작하는 동기식의 제2 메모리 장치;

버스트 모드에서 동작하는 동기식의 제3 메모리 장치;

상기 제1 내지 제3 메모리 장치 사이에서 데이터 전달을 담당하는 메모리 버스;

상기 제1 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제1 메모리 컨트롤러;

상기 제2 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제2 메모리 컨트롤러; 및

상기 제3 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제3 메모리 컨트롤러

를 포함하고

상기 제1 내지 제3 메모리 장치는 외부의 메모리 컨트롤러에 의해 제어되어 외부의 시스템 버스와의 사이에서 데이터를 교환하며, 상기 제1 내지 제3 메모리 장치 중 어느 하나가 상기 외부의 시스템 버스와 데이터를 교환할 때 상기 제1 내지 제3 메모리 장치 중 나머지 두 장치는 상기 메모리 버스를 경유하여 데이터를 교환할 수 있는 것을 특징으로 하는 복합형 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 복합형 메모리 장치는 상기 메모리 버스와 외부의 직렬 시스템 버스의 사이에서 데이터 교환을 제어하는 직렬 인터페이스 컨트롤러를 더 포함하는 것을 특징으로 하는 복합형 메모리 장치.

【청구항 3】

비동기식의 제1 메모리 장치;

페이지 모드에서 동작하는 동기식의 제2 메모리 장치;

버스트 모드에서 동작하는 동기식의 제3 메모리 장치;

상기 제1 내지 제3 메모리 장치 사이의 데이터 전달을 담당하는 메모리 버스;

상기 제1 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제1 메모리 컨트롤러;

상기 제2 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제2 메모리 컨트롤러;

상기 제3 메모리 장치와 상기 메모리 버스 사이의 데이터 전달을 제어하는 제3 메모리 컨트롤러;

중앙처리장치;

상기 중앙처리장치와 상기 제1 내지 제3 메모리 장치의 사이에서 데이터를 전송하는 시스템 버스; 및

상기 중앙처리장치의 명령에 응답하여 상기 제1 내지 제3 메모리 장치와 상기 시스템 버스 사이의 데이터 전달을 제어하는 메모리 컨트롤러
를 포함하고

상기 제1 내지 제3 메모리 장치는 상기 메모리 컨트롤러에 의해 제어되어 상기 시스템 버스와의 사이에서 데이터를 교환하며, 상기 제1 내지 제3 메모리 장치 중 어느 하나가 상기 시스템 버스와 데이터를 교환할 때 상기 제1 내지 제3 메모리 장치 중 나머지 두 장치는 상기 메모리 버스를 경유하여 데이터를 교환할 수 있는 것을 특징으로 하는 복합형 메모리 장치.

【청구항 4】

제 1 항에 있어서, 상기 복합형 메모리 장치는
직렬 데이터가 전달되는 직렬 시스템 버스; 및
상기 메모리 버스와 상기 직렬 시스템 버스 사이에서 데이터 교환을 제어하는 직렬
인터페이스 컨트롤러
를 더 포함하는 것을 특징으로 하는 복합형 메모리 장치.

【청구항 5】

제 1 내지 제 4 항 중 어느 한 항에 있어서,
상기 제1 메모리 장치는 강유전체 메모리 장치인 것을 특징으로 하는 복합형 메모리 장치.

【청구항 6】

제 5 항에 있어서, 상기 제1 메모리 장치는
각각 워드라인, 플레이트 라인, 및 비트라인에 연결된 복수개의 셀들이 격자형으로 배치된 셀 어레이 블록;

로우 어드레스 디코더에 의해 응답하여 상기 워드라인 및 플레이트 라인을 구동하는 구동부;

칼럼 어드레스 디코더에 의해 응답하여 상기 비트라인과 데이터버스를 연결하는 칼럼 선택 제어부;

상기 시스템 버스와 연결된 데이터 입출력 버퍼부; 및

상기 칼럼 어드레스 디코더에 의해 응답하여 상기 데이터버스와 상기 데이터 입출력 버퍼부의 사이에서 데이터 입출력을 제어하는 센스 앤프 어레이를 포함하고

상기 제1 메모리 컨트롤러는 상기 센스 앤프 어레이와 상기 메모리 버스 사이에 연결되어 상기 셀 어레이 블록과 상기 메모리 버스 사이의 데이터 교환을 제어하는 것을 특징으로 하는 복합형 메모리 장치.

【청구항 7】

제 1 내지 제 4 항 중 어느 한 항에 있어서,

상기 제2 메모리 장치는 강유전체 메모리 장치인 것을 특징으로 하는 복합형 메모리 장치.

【청구항 8】

제 7 항에 있어서, 상기 제2 메모리 장치는 각각 워드라인, 플레이트 라인, 및 비트라인에 연결된 복수개의 셀들이 격자형으로 배치된 셀 어레이 블록;

로우 어드레스 디코더에 의해 응답하여 상기 워드라인 및 플레이트 라인을 구동하는 구동부;

칼럼 어드레스 디코더에 의해 응답하여 상기 비트라인과 데이터버스를 연결하는 칼럼 선택 제어부;

상기 시스템 버스와 연결된 데이터 입출력 버퍼부; 및
상기 칼럼 어드레스 디코더에 의해 응답하여 상기 데이터버스와 상기 데이터 입출력 버퍼부의 사이에서 데이터 입출력을 제어하는 센스 앰프 어레이
를 포함하고

상기 제2 메모리 컨트롤러는 상기 센스 앰프 어레이와 상기 메모리버스 사이에 연결되어 상기 셀 어레이 블록과 상기 메모리 버스 사이의 데이터 교환을 제어하는 것을 특징으로 하는 복합형 메모리 장치.

【청구항 9】

제 1 내지 제 4 항 중 어느 한 항에 있어서,
상기 제3 메모리 장치는 강유전체 메모리 장치인 것을 특징으로 하는 복합형 메모리 장치.

【청구항 10】

제 9 항에 있어서, 상기 제3 메모리 장치는
각각 워드라인, 플레이트 라인, 및 비트라인에 연결된 복수개의 셀들이 격자형으로 배치된 셀 어레이 블록;

칼럼 어드레스 버퍼에서 칼럼 어드레스를 입력받아 칼럼 어드레스가 순차적으로 증가하도록 칼럼 어드레스 디코더를 제어하는 버스트 카운터;
상기 칼럼 어드레스 디코더에 의해 응답하여 상기 워드라인 및 플레이트 라인을 구동하는 구동부;
칼럼 어드레스 디코더에 의해 응답하여 상기 비트라인과 데이터버스를 연결하는 칼럼 선택 제어부;
상기 시스템 버스와 연결된 데이터 입출력 버퍼부; 및
상기 칼럼 어드레스 디코더에 의해 응답하여 상기 데이터버스와 상기 데이터 입출력 버퍼부의 사이에서 데이터 입출력을 제어하는 센스 앤프 어레이
를 포함하고
상기 제3 메모리 컨트롤러는 상기 센스 앤프 어레이와 상기 메모리 버스 사이에 연결되어 상기 셀 어레이 블록과 상기 메모리 버스 사이의 데이터 교환을 제어하는 것을 특징으로 하는 복합형 메모리 장치.

【청구항 11】

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,
상기 제1 내지 제3 메모리 장치는 강유전체 메모리 장치임을 특징으로 하는 복합형
메모리 장치.

【청구항 12】

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제1 내지 제3 메모리 장치는 MRAM(Magnetic RAM) 장치임을 특징으로 하는 복합형 메모리 장치.

【청구항 13】

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제1 내지 제3 메모리 장치는 PRAM(Phase Change RAM) 장치임을 특징으로 하는 복합형 메모리 장치.

【청구항 14】

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제2 메모리 장치는 플래시 메모리 장치인 것을 특징으로 하는 복합형 메모리 장치.

【청구항 15】

각각 독립적으로 동작할 수 있는 복수개의 메모리 장치;

상기 복수개의 메모리 장치 사이에서 데이터의 전달을 담당하는 메모리 버스; 및

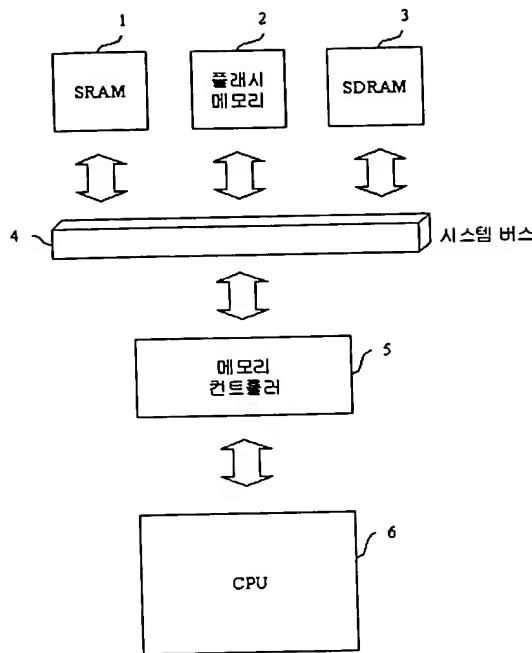
상기 각각의 메모리 장치와 상기 메모리 버스의 사이에서 데이터 전달을 제어하는 복수개의 메모리 컨트롤러

를 포함하고

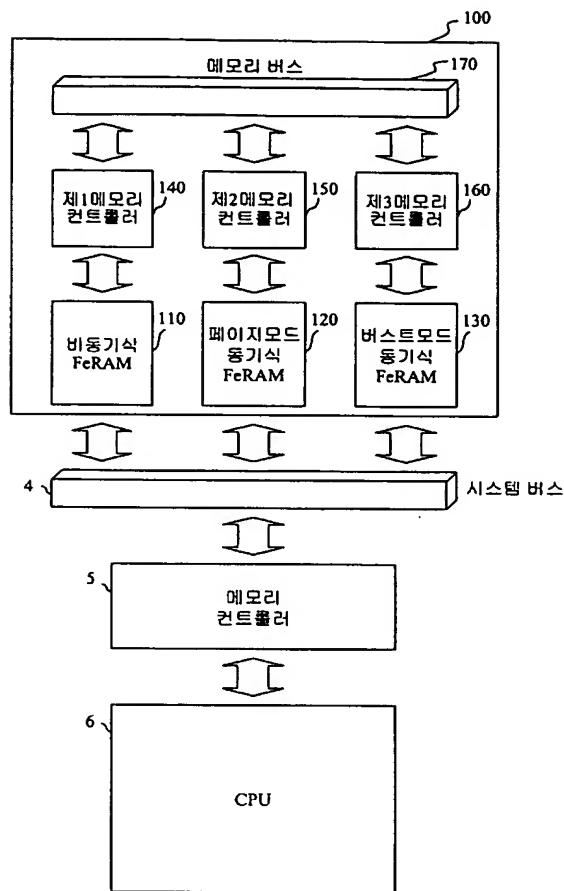
상기 복수개의 메모리 장치는 외부의 컨트롤러에 의해 제어되어 외부의 시스템 버스와 데이터를 교환하며, 상기 복수개의 메모리 장치 중 어느 하나가 상기 외부의 시스템 버스와 데이터를 교환할 때 나머지 메모리 장치 중 어느 두 장치는 상기 메모리 버스를 경유하여 데이터를 교환할 수 있는 것을 특징으로 하는 복합형 메모리 장치.

【도면】

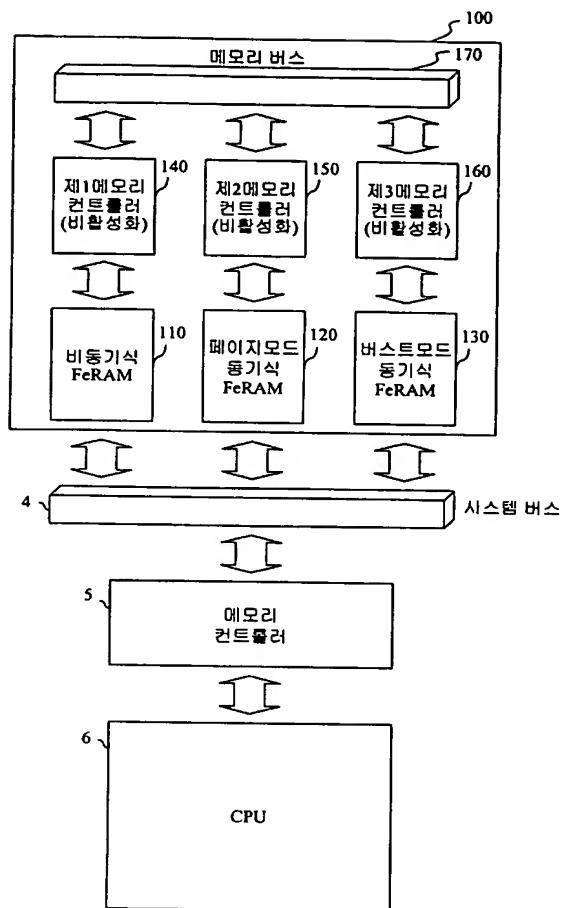
【도 1】



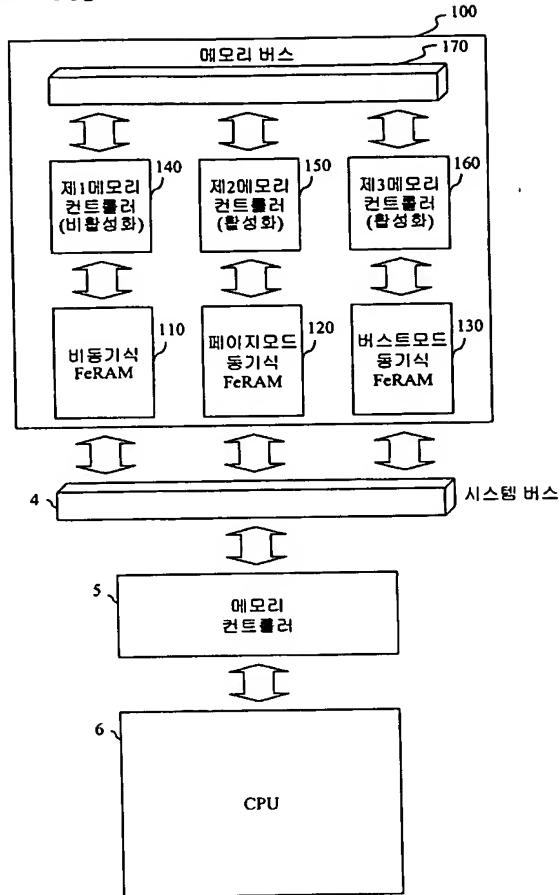
【도 2】



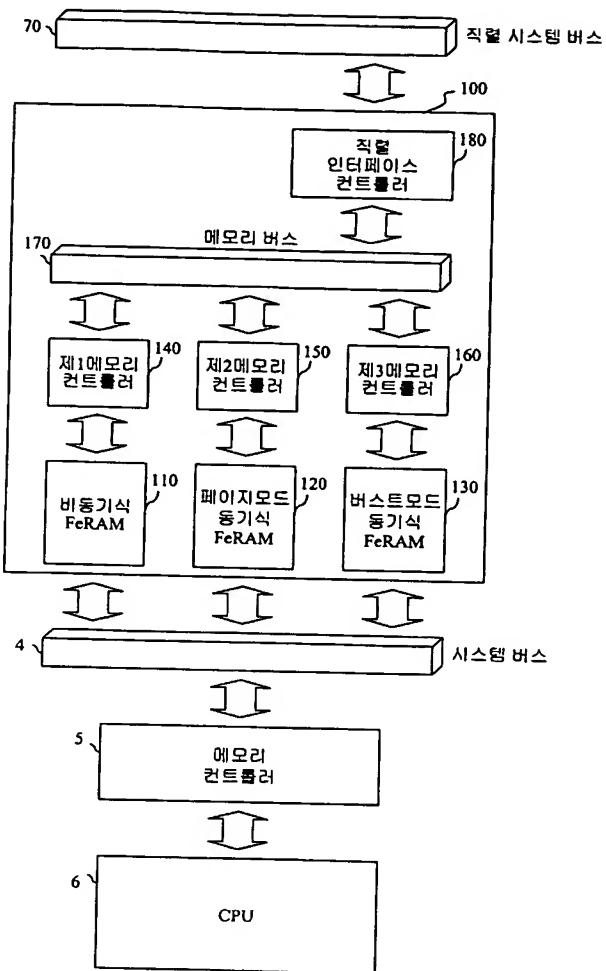
【도 3a】



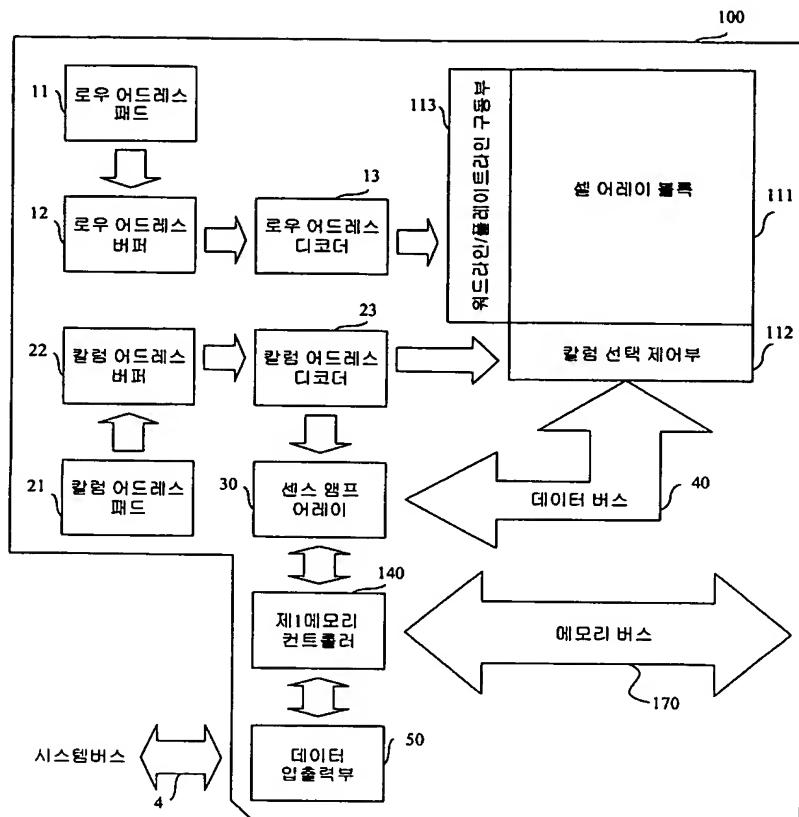
【도 3b】



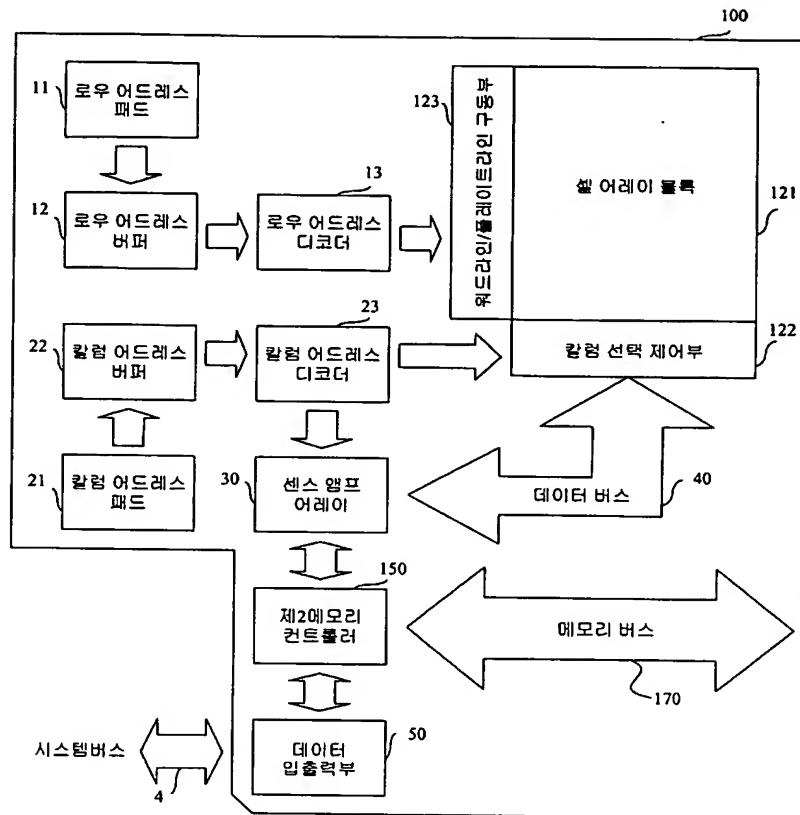
【도 4】



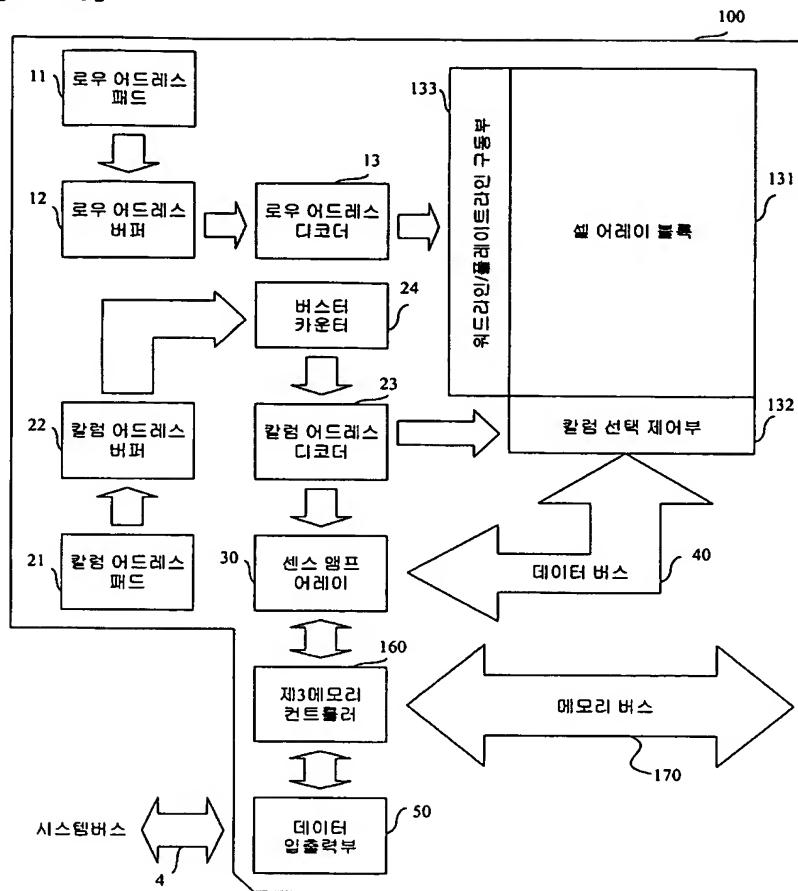
【도 5a】



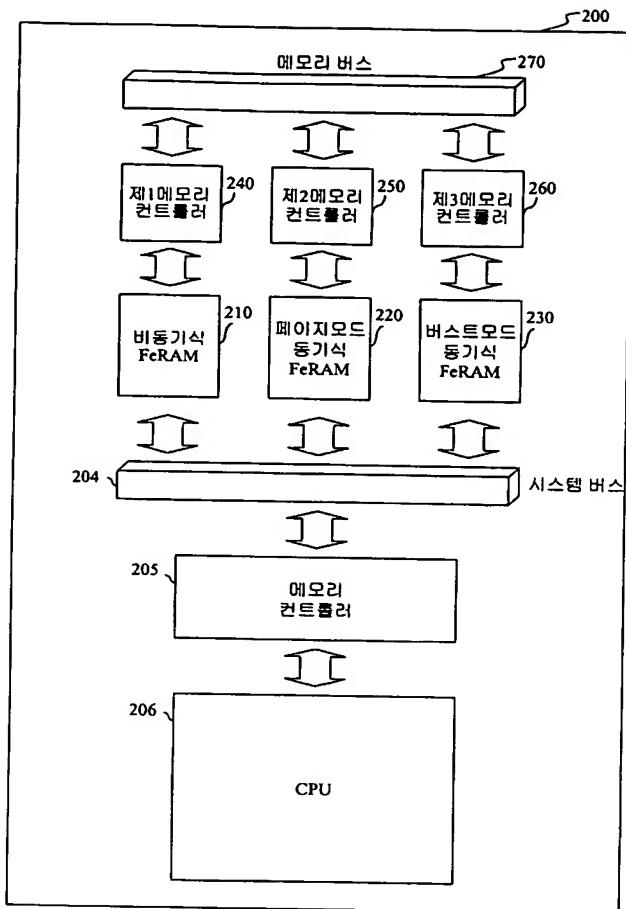
【도 5b】



【도 5c】



【도 6】



【도 7】

